

Family list  
2 family member for:  
**JP3203322**  
Derived from 1 application.

# BEST AVAILABLE COPY

**1 MANUFACTURE OF SEMICONDUCTOR DEVICE**  
Publication info: JP2890584B2 B2 - 1999-05-17  
JP3203322 A - 1991-09-05

---

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

BEST AVAILABLE COPY

03540422 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 03-203322 [JP 3203322 A]

PUBLISHED: September 05, 1991 (19910905)

INVENTOR(s): NOGUCHI TAKASHI

SUMI HIROBUMI

TAJIMA KAZUHIRO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 01-342960 [JP 89342960]

FILED: December 29, 1989 (19891229)

INTL CLASS: [5] H01L-021/28; H01L-021/3205; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1139, Vol. 15, No. 470, Pg. 78,  
November 28, 1991 (19911128)

ABSTRACT

PURPOSE: To form favorably silicide films on regions to be reduced their resistances add to contrive the speedup of the operation of a MIS semiconductor device by a method wherein a metal film is formed on the necessary regions of the MIS semiconductor device and a short-wavelength arc lamplight is irradiated to silicity the metal film.

CONSTITUTION: A polysilicon layer 3 is laminated on a quartz substrate 1, a gate electrode 5 consisting of a polysilicon layer is formed on the layer 3 via a gate oxide film 4 and when impurities, such as phosphorus or the like, are implanted in the layer 3 using the electrode 5 as a mask, impurity regions 6, i.e., source and drain regions, are formed and when a silicon oxide film 7 is deposited on the whole surface and an entire surface etching is performed, the film 7 is left on the sidewalls of the electrode 5. When a titanium film 8 is deposited on at least the regions 6 of this MIS semiconductor device and an arc lamplight of a short wavelength is irradiated in an argon-containing atmosphere, an annealing is performed at a low temperature for a comparatively short time, a polysilicon layer of the regions 6 and the polysilicon of the electrode 5 show a silicide reaction, silicide nitride films 9 are formed, the films 9 are turned into low-resistance regions and the MIS semiconductor device becomes a semiconductor device, whose operating speed is increased.

# NOT AVAILABLE COPY

① 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A) 平3-203322

③ Int.Cl.<sup>5</sup>

H 01 L 21/28  
21/3205  
29/784

識別記号

序内整番号

T 7738-5F

④ 公開 平成3年(1991)9月5日

6810-5F H 01 L 21/88  
9056-5F 29/78

3 1 1 Q

審査請求 未請求 請求項の数 4 (全11頁)

⑤ 発明の名称 半導体装置の製造方法

⑥ 特 願 平1-342960

⑦ 出 願 平1(1989)12月29日

⑧ 発 明 者 野 口 隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑨ 発 明 者 角 博 文 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑩ 発 明 者 田 島 和 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑪ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑫ 代 理 人 弁理士 小 池 晃 外2名

## 明細書

## 3. 発明の詳細な説明

### 【発明上の利用分野】

本発明は、半導体装置の製造方法に関し、特に金属膜のシリサイド化技術に関する。

### 2. 特許請求の範囲

① 基体上にMIS型半導体装置を形成し、少なくともそのMIS型半導体装置のソース・ドレイン領域上に金属膜を形成し、掩映長アーフランプ光を照射して該金属膜をシリサイド化させることを特徴とする半導体装置の製造方法。

② 上記MIS型半導体装置が露臍トランジスタである請求項1記載の半導体装置の製造方法。

③ 基体上にMIS型半導体装置を形成し、少なくともそのMIS型半導体装置のソース・ドレイン領域上に金属膜及び反射防止膜を順次形成し、レーザー光を照射して該金属膜をシリサイド化させることを特徴とする半導体装置の製造方法。

④ 上記MIS型半導体装置が露臍トランジスタである請求項3記載の半導体装置の製造方法。

### 【発明の概要】

本発明は、基体上のMIS型半導体装置の少なくともソース・ドレイン領域上に形成された金属膜をシリサイド化する半導体装置の製造方法において、掩映長アーフランプ光を用いて上記金属膜をシリサイド化することや該金属膜上の反射防止膜にレーザー光を照射してシリサイド化することにより、低抵抗なシリサイド膜を形成し、高遮蔽性が可能な半導体装置を提供するとともに、3次元構造を有する半導体装置に用いて好適なシリサイド膜の形成方法を提供するものである。

### 【従来の技術】

近年、例えば液晶表示装置、モノリシックライセンサー、プリンタヘッド等の駆動用マトリク

# BEST AVAILABLE COPY

特開平3-203322(2)

ス等の半導体装置に薄膜トランジスタが適用されている。上記半導体装置では大型化が進むにつれて、薄膜トランジスタを高速で駆動させが必要となる。この薄膜トランジスタの高速化を図るために、薄膜トランジスタのソース・ドレイン領域やゲート電極をシリサイド化させて、コンタクト抵抗やシート抵抗を低減化させる方法が知られている。

従来のシリサイド化法では、例えば特開昭51-160952号公報に記載されるように、ボリシリコン層上に高融点金属膜を被覆し、その高融点金属膜や上記ボリシリコン層にイオン注入を行った後、ランプアユールによりシリサイド膜を形成する方法等が知られている。上記高融点金属膜として、例えばチタン膜等が使用されており、そのシリサイド膜はチップクロンシリコンにおけるゲート電極材料として有効である。しかし、チタン膜は酸素に対して非常に活性であり、フーネスアユールを施すと酸化が起こるため、チタンシリサイド膜は形成されにくい。従って、チタン膜の

は形成されない。

一方、薄膜トランジスタにおいては、後方向のリード電極の低抵抗化を図るために、ソース・ドレイン領域が形成されるボリシリコン層の膜厚を例えば約300Å以下に薄膜化させる必要がある。このような薄膜化された上記ボリシリコン層のソース・ドレイン領域上にチタン膜を被覆させ、アユールを行ってシリサイド化させると、ボリシリコン層が酸素であるために、シリサイド化が薄膜トランジスタの下層の石英基板にまで及ぶ。このため、石英基板に含まれる酸素がチタンシリサイド膜に侵入し、チタンシリサイド膜の抵抗値が上昇するという問題がある。このように、薄膜トランジスタでは良好に低抵抗化されないために、高速動作が実現できない。

そこで、本発明は、かかる従来の実情に鑑みて從来されたものであって、低抵抗化すべき領域に良好なシリサイド膜を形成し、高速動作を可能となる半導体装置の製造方法を提供することを目的とする。

シリサイド化では、ランプアユール法が有効とされ、通常800℃又は800℃程度の温度で短時間アユールが行われている。

## 【発明が解決しようとする課題】

ところが、石英基板上に設けられた半導体装置において、上述のようなランプアユールを施す場合には、上記石英基板に対するエネルギーの投射が少ないので、高融点度が上昇しにくい。従って、シリサイド反応を起こすためには、シリサイド膜に十分なエネルギーを蓄積せねばならないが、膜厚が1000Å程度以下の薄膜のチタンシリサイド膜を形成することは非常に困難である。

また、チタン膜のシリサイド化をエキシマレーザー光を用いたアユールによって行う方法もあるが、チタン膜に対するレーザー光の反射率が高く、チタン膜にエネルギーの投射が起こりにくい。このため、シリサイド反応に必要なエネルギーがチタン膜に供給されないので、チタンシリサイド膜

## 【課題を解決するための手段】

本発明の半導体装置の製造方法は、上述の目的を達成するために構成されたものである。

即ち、本願の第1の発明は基板上にMIS型半導体装置を形成し、少なくともそのMIS型半導体装置のソース・ドレイン領域上に金属膜を形成し、短波長アーチランプ光を照射して前記金属膜をシリサイド化させることを特徴とする。ここで、上記MIS型半導体装置は薄膜トランジスタであっても良い。また、上記基板としては石英基板等が使用される。

更に、本願の他の発明は基板上にMIS型半導体装置を形成し、少なくともそのMIS型半導体装置のソース・ドレイン領域上に金属膜及び反射防止膜を順次形成し、レーザー光を照射して前記金属膜をシリサイド化させることを特徴とする。ここで、上記MIS型半導体装置は薄膜トランジスタとすることもでき、上記基板としては石英基板等が用いられる。

**BEST AVAILABLE COPY**

特開平3-203322(3)

### (作用)

本項の第1の発明では、金属膜をシリサイド化させるためのエユール処理において、加熱膜としてアーカランプ光を用いる。アーカランプ光は紫外域でポリシリコン層に対して大きな吸収帯を有する。このため、M13遮半導体膜層或いは上記電極トランジスタのポリシリコン層からなるソース・ドレイン領域にシリサイド反応に必要なエネルギーを蓄積させることができる。従って、ソース・ドレイン領域であるポリシリコン層の温度が十分に上昇するので、下地が石英基板であっても、上記ソース・ドレイン領域上に優質なシリサイド膜が形成される。

また、本願の他の発明では、レーザー光を用いてアニールを行い、金属膜をシリサイド化する。この時、金属膜上に反射防止膜が形成されているので、レーザー光を照射しても金属膜に対するレーザー光の反射が防止され、上記反射防止膜を介してエネルギーが金属膜に吸収される。これにより、上記金属膜がシリサイド化され、低抵抗性シリ

リサイド膜が形成される。このシリサイド膜を所定のパターンにパターニングすれば、低抵抗化すべき領域のみにシリサイド膜が形成される。

(寒故例)

本発明の好適な実施例を図面を参照しながら説明する。

第一〇六集

本実験例は石英基板上に設けられるMOSトランジスタのソース・ドレイン領域及びゲート電極上に複数層アーチランプ光を用いた2段階ランプアニール法によりチタンシリサイド膜を形成する例である。

第1図(a)に基づくように、石英基板1上にポリシリコン層3を複数層とする。このポリシリコン層3上にゲート酸化膜4を介してポリシリコン層からなる所定の形状のゲート電極5が形成される。このゲート電極5をマスクとして用い、例えばリソウやホウ素等の不純物をポリシリコン層3中にイオン注入し、不純物濃度6を形成する。この不純

物領域6はソース・ドレイン領域として機能する。全面にCVD技術によりシリコン酸化膜7を形成した後、全面エッチバックを行う。その結果、不純物領域5及びゲート電極5の上面でボリシリコン層が露出し、ゲート電極5の側壁に上記シリコン酸化膜7が露出する。

次に、スパッタ性等により、全面に300入程度の膜厚を有するチタン膜8が堆積される。そして、アルゴン雰囲気中で短接長アーケーランプ光照射による急速熱時間アーナルを行う。このアーナル処理の条件は適宜選定されれば良く、例えばアーナル温度を比較的低温の約600°Cとし、処理時間を30秒程度とすることが好ましい。また、短接長アーケーランプ光の波長は約0.6μm以下であることが好ましい。このアーナル処理により、ソース・ドレイン領域のボリシリコン層8及びゲート電極5の上面で露出したボリシリコン層がチタン膜8とシリサイド反応を起こして、不純物領域8及びゲート電極5上にチタンシリサイド膜9が形成される。このチタンシリサイド膜9は比較

的低温でアニールされるので、モノシリサイド状態となる。

第2図はシリコン層に対するアークランプ光及びハロゲンランプ光のそれぞれ波長〔 $\lambda$ nm〕(縦軸)に対する吸収強度(縦軸)の関係を示す図である。第2図より、ハロゲンランプ光では波長が約6.9 nmの時に僅かに吸収強度が強くなるもののシリコン層に対して殆ど吸収されない。一方、アークランプ光では、約6.5 nmにピークが存在し、大きな吸収が起こる。また、このアークランプ光の吸収係数 $\alpha$ 〔cm<sup>-1</sup>〕(縦軸)も合わせて第2図中に示すと、0.2~0.6 nmの範囲でアークランプ光の吸収係数 $\alpha$ が極めて高いことが判る。即ち、ポリシリコン層3やポリシリコン層3等に十分なエネルギーが供給される。このため、ポリシリコン層3等の下地が石英基板1であってもポリシリコン層3やゲート電極5のみの温度を効果的に上昇させることができるので、良好なシ

## 3T AVAILABLE COPY

特開平3-203322(4)

リサイド化が行える。

統いて、上述のシリサイド化で未反応のチタン膜8を除去するために、チタン膜8のみを選択的に溶解し、チタンシリサイド膜9は溶かさないようなエッティング液により未反応のチタン膜8を選択的にエッティングする。その結果、第1図(b)に示すように、石英基板1上等に残存していたチタン膜8が除去されて、不純物領域6及びゲート電極5上等の低抵抗化すべき領域のみにチタンシリサイド膜9が形成される。

そして、上記チタンシリサイド膜9を窒素ガス・雰囲気中にてアニールを行う。このアニール処理の条件は、適宜選定さればよく、例えばアユール温度を比較的高温の800℃で温度とし、処理時間は30秒程度とすることが好ましい。このアニール処理により、チタンシリサイド膜9はシリチアイド反応が完了してダイシリサイド状となる。通常のボリシリコン層からなるソース・ドレイン領域の抵抗値が数百nΩ程度であるのに對し、上記チタンシリサイド膜9の抵抗値は約30Ω/□

以下と低いことから、不純物領域6やゲート電極上にチタンシリサイド膜9を形成することによってシート抵抗やコンタクト抵抗が著しく低抵抗化される。從って、MOSトランジスタの高速動作が可能になる。

上記MOSトランジスタ上を含む全面に選択の製造工程にしたがって、シリコン酸化膜やP-SiO<sub>2</sub>膜等からなる層間絶縁膜101を形成する。第1図(c)に示すように、この層間絶縁膜101は不純物領域6及びゲート電極5上で接続孔を有する。そして、この接続孔内を埋め込み、且つ層間絶縁膜6を覆ってアルミニウム記録層102が形成される。このアルミニウム記録層102は上記接続孔内でチタンシリサイド膜9を介して不純物領域6及びゲート電極5に接続される。この時、チタンシリサイド膜9がバラエタルとして機能するため、アルミニウム記録層102とこれらのボリシリコン層との合金化反応が防止され、信頼性に優れたコンタクトが得られる。

最後に、水素化アニュール処理が行われる。

なお、本実施例では、記録層の材料としてアルミニウムが使用されるが、高アスペクト比の接続孔においては、蒸気CVD法によるタングステン等の高融点金属の埋め込み技術が有効である。タングステンの選択CVDでは、通常、SiH<sub>4</sub>ガスとN<sub>2</sub>O<sub>2</sub>ガスの混合ガスを反応させてタングステン膜が形成されるが、この方法では反応初期にチタンのフッ素化合物が生成され、接続孔内のチタンシリサイド膜9上に上記フッ素化合物が析出するため、コンタクト抵抗が上昇してしまうという問題が生じる。この問題を防止するために、後述する方法によってタングステンの埋め込みを行うことが好ましい。

統ち、先ず、水素還元法により約400℃以上の温度で選択CVDを行って、接続孔内のチタンシリサイド膜9上にタングステン膜を成長させる。ここで、温度を約400℃以上としてフッ化チタンの昇華温度以上にすることにより、上述のようなチタンのフッ素化合物の析出が防止される。また、水素還元雰囲気とされるので、約400℃以

上の高温でも選択性が崩れる虞れがない。

次に、上記チタンシリサイド膜9が上記タングステン膜によって十分に埋められた時点で、温度を200℃程度まで低下させ、還元ガスをSiH<sub>4</sub>ガスに切り換える。これにより、タングステン膜の成長速度が増加され、生産性が向上する。

第7図は、タングステンシリサイド膜上に從来の選択CVD法によりタングステン膜を堆積した場合(a)と、本実施例の選択CVD法によりタングステン膜を堆積した場合(b)におけるそれぞれコンタクト抵抗を示す図である。なお、第7図において、電極は緯軸、電圧は横軸に示す。第7図に示すように、從来の選択CVD法では直線性が悪く、オーミックコンタクトが得られていないのに対して、本実施例の選択CVD法では直線性に優れているとともに低抵抗であることが判る。從って、本実施例の選択CVD法によれば、コンタクト界面にチタンのフッ素化合物が形成されることなく、チタンシリサイド膜9とタングステン膜が直接接続されて、良好なコンタクトが得られ

## TEST AVAILABLE COPY

特開平3-203322(5)

る。

また、チタンシリサイド膜9上にオーミック性に優れたタングステン膜を形成する方法として、予めチタンシリサイド膜9上に選択的に電膜のシリコン膜を形成してもよい。

然ち、先ず、周囲気体膜101に開口された接続孔内のチタンシリサイド膜9上にSiH<sub>4</sub>、C<sub>2</sub>H<sub>2</sub>ガスを反応ガスとして選択CVDを行って、約100人程度の膜厚のシリコン膜を形成する。この選択CVDの条件は、SiH<sub>4</sub>、C<sub>2</sub>H<sub>2</sub>ガス流量を1000ccmとし、反応温度は例えば850°C程度、圧力は760torrとする。この時、上述のような高温に曝すことにより、シリサイド化工程でチタンシリサイド膜9中に形成された不純物が再びボリシリコン層3へ拡散される。このため、同時に接合リーキ電流の低減化が図られる。

次に、Si選択性によりWF<sub>6</sub>ガスとH<sub>2</sub>ガスの混合ガスを反応させてタングステン膜を成長させる。その後、更にSiH<sub>4</sub>ガスを添加し、SiH<sub>4</sub>ガス選元露開気としてタンクステンの成長速度を

増加させる。この時、例えばWF<sub>6</sub>ガス流量を0.5~1.0ccm、SiH<sub>4</sub>ガス流量を0~9ccmとし、反応温度は例えば250°C程度、圧力は0.016torrとすることが好ましい。

最後に、IRアニールを行って、チタンシリサイド膜9上に予め形成された上記シリコン膜をシリサイド化する。

上述のような選択CVD法により接続孔の埋め込みを行うことにより、オーミック性が向上し、導通性に優れたコンタクトが得られる。

## 第2の実施例

本実施例は石英基板上に反応防止膜であるシリコン変化膜を介して薄膜トランジスタを形成し、その薄膜トランジスタのソース・ドレイン領域及びゲート電極上に低抵抗なチタンシリサイド膜を形成する例である。

第3図(a)に示すように、石英基板11上にシリコン変化膜12を形成させる。このシリコン変化膜12の膜厚は1000人以下とされ、好まし

くは約500人以下とされる。このシリコン変化膜12は後述するシリサイド化のアニール処理の際に、薄膜トランジスタの下層の石英基板11にシリサイド化が及ぶを阻止する反応防止膜として機能する。このシリコン変化膜12上に選択のボリシリコン層13を積層させる。このボリシリコン層13上にゲート酸化膜14を介してボリシリコン層からなる所定の形状のゲート電極15が形成される。このゲート電極15をマスクとしてイオン注入を行い、例えばリン等の不純物をボリシリコン層13中に不純物領域16を形成する。この不純物領域16はソース・ドレイン領域として機能する。

全面にCVD法等によりシリコン変化膜17を形成した後、全面エッチバックを行う。その結果、ゲート電極15の側壁のみに上記シリコン変化膜17が形成される。

統いて、スパッタ法等により全面にチタン膜18を形成する。そして、第1の実施例と同様にアルゴン露開気中で短時間アーケーランプ光を用いて

急熱短時間アニールを行う。このアニール処理により、不純物領域16及びゲート電極15上にチタンシリサイド膜19が形成される。この時、石英基板11上にはシリコン変化膜12が形成されているので、ボリシリコン層13が壊滅であっても、シリサイド化が石英基板11にまで及ぶことがない。従って、石英基板11に含まれる酸素の熱拡散によってチタンシリサイド膜19中に酸素が侵入することなく、抵抗値が約1.5~2.0Ω以下の中良好なチタンシリサイド膜19が形成される。

統いて、チタン膜18のみを選択的に掩蔽し、チタンシリサイド膜19は壊滅しないようなエッティング液を用いてエッティングを行う。その結果、第3図(b)に示すように、石英基板11上等に残存する未反応のチタン膜18が除去され、不純物領域16及びゲート電極15上等の低抵抗化すべき領域にチタンシリサイド膜19が形成される。これにより、不純物領域16やゲート電極15上が低抵抗化されるので、薄膜トランジスタの動作の高速化が図られる。

# TEST AVAILABLE COPY

特開平3-203322(6)

## 第3の実施例

本実施例は石英基板上に設けられる隣接トランジスタのソース・ドレイン領域上にチタン膜及び反射防止膜としてのアモルファスシリコン膜を順次重複し、エキシマレーザー光を用いたアーナルを行ってチタンシリサイド膜を形成する例である。

先ず、第4図(a)に示すように、石英基板31上に露面のポリシリコン膜23を被覆させる。このポリシリコン膜23上にゲート酸化膜24を介して所定の形状のゲート電極25が形成される。このゲート電極25はタンダスタンシリサイド層からなり、低い抵抗値を有するので、隣接トランジスタの高速化において有利である。このようなゲート電極25をマスクとして用いて、例えはワニ等の不純物をポリシリコン膜23中にイオン注入し、ソース・ドレイン領域として構成する不純物領域26を形成する。

次いで、第4図(b)に示すように、全面にCVD法等によりシリコン酸化膜27を形成した後、全面エッヂパックを行って、ゲート電極25の端

部にのみ上記シリコン酸化膜27を形成する。

次に、第4図(c)に示すように、スペッタ法等により、全面に300Å程度の膜厚を有するチタン膜28を堆積する。このチタン膜28上に反射防止膜として構成するアモルファスシリコン膜29を形成する。このアモルファスシリコン膜29の膜厚は例えば300Å程度とされ、他にもポリシリコン膜等が使用可能とされる。そして、エキシマレーザー光を全面に照射して急熱凍時間アーナルを行って、チタン膜28をシリサイド化させる。このアーナル処理の条件は適宜選定されれば良い。この時、チタン膜28上にアモルファスシリコン膜29が形成されているので、エキシマレーザー光を用いてもチタン膜28に対するレーザー光の反射が防止され、アモルファスシリコン膜29を介してエネルギーが吸収される。その結果、第4図(d)に示すように、チタン膜28とアモルファスシリコン膜29及び不純物領域26がシリサイド反応を起こして、全面にチタンシリサイド膜30が形成される。

次いで、第4図(e)に示すように、シリコン酸化膜27を含むゲート電極25を覆うパターンのマスクを用いて上記チタンシリサイド膜30のエッティングを行う。その結果、チタンシリサイド膜30はシリコン酸化膜27に自己整合的にパターンングされる。

## 第4の実施例

本実施例は石英基板上に設けられる隣接トランジスタのソース・ドレイン領域上にチタン膜及び反射防止膜としてのTlON膜を順次重複し、エキシマレーザー光を用いたアーナル処理を行ってチタンシリサイド膜を形成する例である。

先ず、上述の第4図(a)乃至第4図(d)に示す工程にしたがってゲート電極25の裏面にシリコン酸化膜27を有するMOSトランジスタを形成した後、第5図(a)に示すように、チタン膜28及び反射防止膜として構成するTlON膜31を順次重複する。なお、上述の第4図(a)乃至第4図(b)と共通の部分については、同一の引用符号

を付す。

次いで、上述のアーナル処理と同様にエキシマレーザー光を全面に照射してシリサイド化を行う。チタン膜28上にはTlON膜31が形成されているので、チタン膜28に対するレーザー光の反射が防止され、TlON膜31を介してエネルギーが吸収される。その結果、チタン膜28と不純物領域26が形成されたポリシリコン膜23とがシリサイド反応を起こして、不純物領域26の裏面にチタンシリサイド膜30が形成される。

未反応のチタン膜28やTlON膜31を除去するため、これらの選択的エッティングを行う。その結果、第5図(b)に示すように、不純物領域26の裏面にチタンシリサイド膜28が形成されて、伝熱抵抗化したい領域のみを選択的にシリサイド化することが可能となる。

## 第5の実施例

本実施例は基板上に設けられるMOSトランジスタの上部にTlN膜を介してチタンシリサイド

## BEST AVAILABLE COPY

特開平3-203322(7)

最もからなる配線用を形成する例である。

先ず、第6図(a)に示すように、P型のシリコン基板41をLOCOS法等により選択的に酸化して素子分離領域42を形成する。この素子分離領域42の下部にはN型の不純物が導入され、チャンネルストッパーとして機能するP型の不純物領域43が形成される。そして、シリコン基板41上にゲート酸化膜44を介してゲート電極として用いられるタンゲスタンシリサイド層45及びタンゲスタンシリサイド層52がパターニングにより形成される。タンゲスタンシリサイド層52は一方の端部がシリコン基板41上にあり、他方の端部が素子分離領域42上にゲート酸化膜44を介して延びるバーンとされる。

そして、上記ゲート電極45をマスクとして、イオン注入を行ってシリコン基板41の表面にN型の不純物領域46を形成する。

全面にシリコン酸化膜47を形成した後、全面エッチングを行って不純物領域46を露出させる。これにより、タンゲスタンシリサイド層45

の側壁にシリコン酸化膜47が残存される。このシリコン酸化膜47を含めてタンゲスタンシリサイド層45をマスクとしてシリコン基板41の表面にN型の不純物をイオン注入し、ソース・ドレイン領域として機能するP型の不純物領域46を形成する。シリコン基板41の表面には予めN型の不純物が導入されているので、タンゲスタンシリサイド層45の近傍にはシリコン酸化膜47と重合的にN型の不純物領域46が形成される。即ち、信頼性に優れたLDD型MOSトランジスタが形成される。このようなMOSトランジスタを複数て全面に十分な膜厚のシリコン酸化膜51が形成される。このシリコン酸化膜51は層間絶縁膜として機能する。

上記シリコン酸化膜51上に上記MOSトランジスタのソース・ドレイン領域の一方の上部で開口したレジスト層を形成し、このレジスト層をマスクとしてエッチングを行ってシリコン酸化膜51に開口部54を形成する。このエッチングにより、上記タンゲスタンシリサイド層52の端部が

上記開口部54内に露出する。そして、この開口部54を含む全面に電極のTIN膜53を開口部54の形状に沿って形成する。このTIN膜53は後述するシリサイド化のアーナー処理において反応防止膜として機能する。また、露出したタンゲスタンシリサイド層52の端部はこのTIN膜53によって覆われる。

続いて、第6図(b)に示すように、TIN膜53上に開口部54の形状に沿ってチタン膜48を形成し、このチタン膜48上にアモルファシリコン膜49を接着する。

次に、第3の実施例と同様にして全面にエキシマレーザー光を照射してアーナーを行い、第6図(c)に示すように、チタン膜48とアモルファシリコン膜49をシリサイド化させてチタンシリサイド膜50を形成する。この時、エキシマレーザー光が照射されるアモルファシリコン膜49の下層にはシリコン酸化膜51が形成されているが、TIN膜53が介在しており、このTIN膜53がバリアとして機能するため、熱によってシリ

コン酸化膜51に含まれる酸素がチタンシリサイド膜50中に侵入する流れがない。従って、良好なチタンシリサイド膜50が得られる。また、チタン膜48上にアモルファシリコン膜49が形成されているので、エキシマレーザー光を照射してもチタン膜48がエキシマレーザー光を反射することが防止される。このため、アモルファシリコン膜49を介してチタン膜48にエネルギーが吸収され、シリサイド反応が起こる。

上記チタンシリサイド膜50は開口部54でTIN膜53を介して不純物領域46と接続され、保護抗な配線層として機能する。

以上のように、チタン膜48上にアモルファシリコン膜49を形成し、アモルファシリコン膜49にエキシマレーザー光を照射してシリサイド化を行って電気抗な配線層が形成される。また、エキシマレーザー光を用いたアーナーを行うので、下層に熱的なダメージを与える流れがない。

## 【発明の効果】

## BEST AVAILABLE COPY

特開平3-203322(8)

上述のように、本発明では短波長アーチランプ光を用いて金属膜のシリサイド化を行うことによって、低抵抗化すべき領域に良好なシリサイド膜が形成される。また、本発明では金属膜上に反対助止めを設けることにより、レーザー光によるシリサイド化が可能となる。これにより、ソース・ドレイン領域やゲート電極等でコンタクト抵抗やシート抵抗が低減化されるので、M1S型半導体装置或いは上記薄膜トランジスタの高速動作が実現されるとともに、高集成化、大型化に好都合である。

更に、本発明ではレーザー光によるシリサイド化が可能となるので、下層に熱的なダメージを免えずにシリサイド化を行うことが可能とされ、半導体装置の3次元構造化に好適なシリサイド化が提供される。

## 4. 製造の簡単な説明

第1図(a)乃至第3図(c)は本発明の半導体装置の第1の実施例の製造方法を製造工程順に従つ

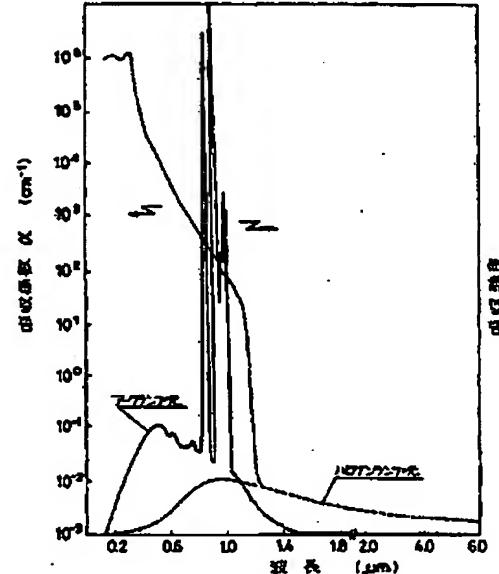
て説明するためのそれぞれ概略断面図、第2図はシリコン膜に対するアーチランプ光及びハロゲンランプ光のそれぞれ波長に対する吸収強度の関係とアーチランプ光の吸収強度を示す特性図、第3図(a)乃至第3図(b)は上記半導体装置の第2の実施例の製造方法を説明するためのそれぞれ概略断面図、第4図(a)乃至第4図(c)は上記半導体装置の第3の実施例の製造方法を説明するためのそれぞれ概略断面図、第5図(a)乃至第5図(b)は上記半導体装置の第4の実施例の製造方法を説明するためのそれぞれ概略断面図、第6図(a)乃至第6図(c)は上記半導体装置の第5の実施例の製造方法を説明するためのそれぞれ概略断面図、第7図は既存の選択CVD法によりタンゲスタン膜を堆積した場合と第1の実施例の選択CVD法によりタンゲスタン膜を堆積した場合におけるそれぞれコンタクト抵抗を示す特性図である。

1 . . . 石英基板

2 . . . ポリシリコン膜

- 4 . . . ゲート酸化膜
- 5 . . . ゲート電極
- 6 . . . 不純物領域
- 7 . . . シリコン酸化膜
- 8 . . . チタン膜
- 9 . . . チタンシリサイド膜

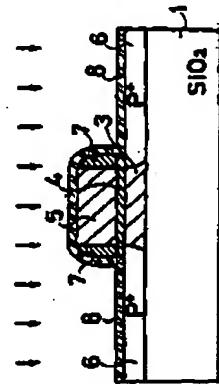
特許出願人 ソニー株式会社  
代理人弁理士 小林 真  
田村 義一  
佐藤 雄



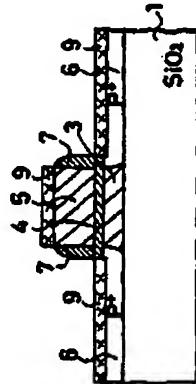
第2図

## BEST AVAILABLE COPY

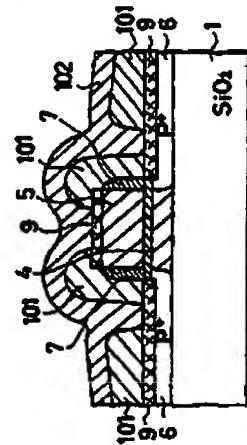
特開平3-203322 (9)



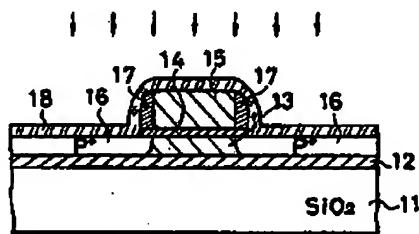
第1図(a)



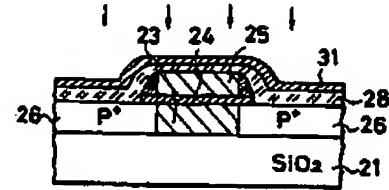
第1図(b)



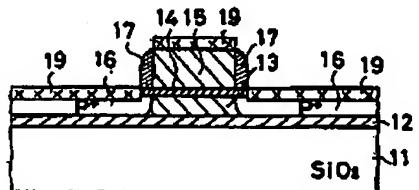
第1図(c)



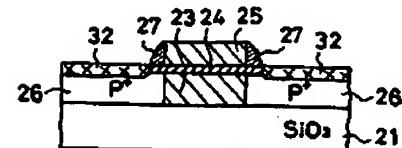
第3図(a)



第5図(a)



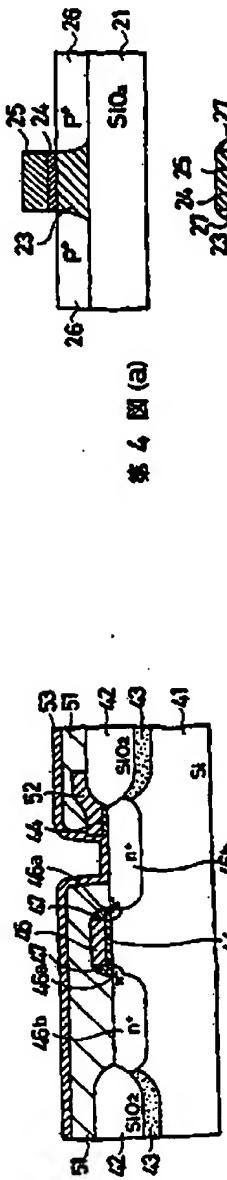
第3図(b)



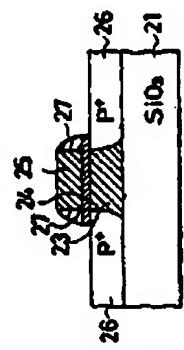
第5図(b)

**BEST AVAILABLE COPY**

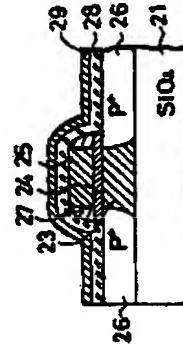
特耐平3-203322 (10)



卷之三



卷之三



第四圖(c)



第4回 (d)

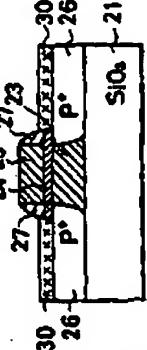
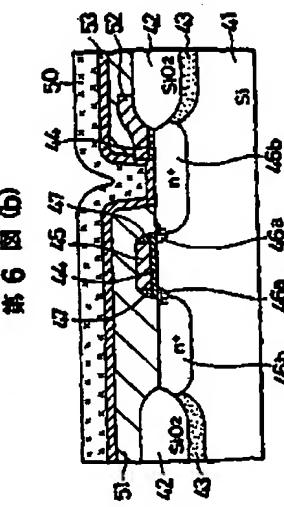
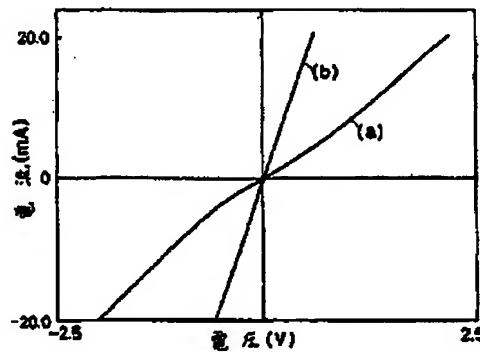


図4(e)



卷六

BEST AVAILABLE COPY



第 7 図